

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月23日

出 願 番 号

Application Number:

特願2002-214476

[ST.10/C]:

[JP2002-214476]

出 願 人

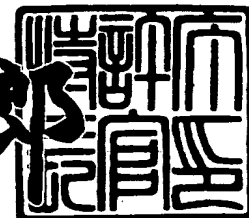
Applicant(s):

富士通株式会社

2003年 3月25日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3020398

【書類名】 特許願

【整理番号】 0240250

【提出日】 平成14年 7月23日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G01R 1/073
G01R 1/067
G01R 31/26

【発明の名称】 プローブカード、及び半導体チップの試験方法

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山岸 康男

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プローブカード、及び半導体チップの試験方法

【特許請求の範囲】

【請求項 1】 検査対象の半導体チップの電極に各々接触するよう形成された複数のプローブ針と、

複数の配線を含む多層配線構造を有し、前記プローブ針を最表面に取付け、各プローブ針を当該配線に接続してあるビルドアップ配線層と、

前記半導体チップに対し、前記プローブ針を介して電氣的に接続するよう配設されたキャパシタと、

を備えるプローブカードにおいて、

各プローブ針近傍の前記ビルドアップ配線層の当該配線がインナービアを含む多層配線構造を有し、前記キャパシタが前記ビルドアップ配線層内の絶縁樹脂層に埋設してあることを特徴とするプローブカード。

【請求項 2】 前記キャパシタは、前記ビルドアップ配線層の 1 つの絶縁樹脂層の厚さと略等しいか、あるいはそれ以下の厚さを有することを特徴とする請求項 1 記載のプローブカード。

【請求項 3】 前記キャパシタは、支持基板としてシリコン基板を用い、前記シリコン基板の一方の面上に誘電体層を間に挟み込んで形成された上部電極及び下部電極を有する薄膜キャパシタであり、前記シリコン基板の他方の面を研磨して形成したことを特徴とする請求項 1 又は 2 記載のプローブカード。

【請求項 4】 前記キャパシタは、前記プローブ針直下の前記ビルドアップ配線層内に埋設されていることを特徴とする請求項 1 記載のプローブカード。

【請求項 5】 前記キャパシタは複数個埋設されており、各キャパシタが異なる電圧の電源配線に接続されることを特徴とする請求項 1 乃至 4 のいずれか一項記載のプローブカード。

【請求項 6】 薄膜キャパシタを内蔵し、半導体チップと該薄膜キャパシタ間のインピーダンスが所定値に設定してある半導体パッケージに用いる半導体チップに対し、パッケージング前にその電氣的特性を試験する半導体チップの試験方法において、

プローブカードとして、前記半導体チップの電極に各々接触するよう配設された複数のプローブ針と、複数の配線を含む多層配線構造を有し、前記複数のプローブ針が最表面に形成され、各プローブ針と当該配線とが接続してあるビルドアップ配線層と、キャパシタとを備え、各プローブ針近傍の前記ビルドアップ配線層の当該配線がインナービアを含む多層配線構造を有し、前記キャパシタを前記ビルドアップ配線層内の絶縁樹脂層に埋設させたプローブカードを、前記半導体チップに接触させ、前記プローブ針を介して電氣的に接続する手順と、

前記プローブ針と前記キャパシタの間のインピーダンスを前記半導体パッケージの前記インピーダンスの所定値とほぼ等しい値に予め設定しておく手順と、

を有することを特徴とする半導体チップの試験方法。

【請求項 7】 前記半導体チップがダイシング前のウェハ状態にあるときに、前記プローブカードを用いて前記半導体チップの電氣的特性を試験することを特徴とする請求項 6 記載の半導体チップの試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体チップの電氣的特性を試験する際に用いられるプローブカードに関し、特に動作周波数が 1 GHz 以上の高速動作する半導体チップの試験に有効なプローブカードに関する。また、本発明は、半導体チップがパッケージに実装された状態とほぼ同じ状態で、ウェハ上の半導体素子の試験を可能とする、プローブカードを用いた半導体チップの試験方法に関する。

【従来の技術】

従来、ウェハ上に多数形成された半導体チップに対し、回路機能の電氣的特性を試験する場合には、各チップに形成されている電極にプローブ針を接触させ、各プローブ針が配線引回しのためのプローブカードを介して試験装置に電氣的に接続される。半導体チップ表面の電極にプローブ針を接触させ、このプローブ針を通して試験装置からの信号の入出力、電源電圧の供給を行い、プローブ針を順次移動させて電子回路の電氣的特性を試験する。

【0002】

プローブカードについては、例えば、特開2000-304770号公報に、プリント基板上の一部にビルドアップ配線層を形成し、配線層の最表面に複数のプローブ針を形成したプローブカードが開示されている。このプローブカードにおいては、ビルドアップ工法によって微細な配線引回しが可能となり、プローブ針を高密度に形成することが可能となる。

【0003】

また、特開平10-132855号公報には、多層配線基板に検査対象のICチップと電氣的接続を行うためのプローブ部品と共に、検査対象のICチップと電気回路を構成し得るインダクタ、キャパシタ、抵抗等のチップ部品を背面に搭載したプローブカードが開示されている。ICチップの検査時に、このプローブカードを用いて試験装置と電氣的接続を行うと、プローブカードに搭載されたチップ部品がICチップの回路と接続された状態となるため、実際の使用状態に近い状態で検査することができ、ICチップの電気特性試験を行う際の測定精度を向上することができる。

【発明が解決しようとする課題】

近年の多端子で高速な半導体チップの試験には、プローブ針を高密度に形成するという要件や、プローブ針の直近に高周波ノイズを低減するためのデカップリングキャパシタを配置するという要件を満足するプローブカードが求められている。

【0004】

一方、動作周波数が1GHzを超えるような高速動作する半導体パッケージでは、半導体チップとキャパシタをビルドアップ基板を介して両側に実装する構造が実用化されており、この際、半導体チップとキャパシタの間のインダクタンスを低減する目的で極力薄い、例えば、1mm以下の、ビルドアップ基板が用いられる。

【0005】

さらに、「日経マイクロデバイス」2001年12月号178頁には、究極の薄型ビルドアップ配線層として、固定したLSIチップ上にビルドアップ配線層を形成する方式(Bumpless Build-Up Layer: BBUL

）が提案され、ビルドアップ配線層の最表面にデカップリングキャパシタを形成し、ビルドアップ配線層を介してLSIチップの電極に接続させた構造が開示されている。

上記したような高速動作の半導体チップでは、直近にデカップリングキャパシタが実装されて始めて正常な高速動作が可能となるものである。従って、高速動作性能を検査するためには、実装後と同様に、半導体チップ直近にデカップリングキャパシタが配置された状態で試験を行う必要がある。

【0006】

しかし、従来のプローブカードではこのような要求を満足できるものはなかった。例えば、特開2000-304770号公報に示されたような、ビルドアップ配線層の最表面にプローブ針を形成したプローブカードの場合、プローブ針を高密度に配置できるのでチップの多端子化に対応できる。しかしながら、プローブ針と半導体ウェハとの隙間は僅かに数ミリと狭いことから、デカップリングキャパシタを半導体チップの直近に配置しようとする、特開平10-132855号公報に示された構成のように、プローブカードの背面に配置することになってしまう。高速で端子数の多い半導体チップを試験するためのプローブカードは、配線が複雑になることや、複数のプローブ針の先端位置を揃えるために剛性が必要なことから、3～5mm程度の厚さのものが用いられる。

【0007】

また、特開平10-132855号公報に示された構成では、多層配線基板の背面に形成されたチップ部品であるキャパシタ部品と検査対象ICチップの電極との間の配線長は6mm程度であり、半導体チップの高速動作時の試験を行う際に、この配線自体のインダクタンスが問題となってしまう。この構成のプローブカードを用いて高速動作の半導体チップを試験する場合、プローブカード側のキャパシタ部品が高速動作時の高周波ノイズを抑制する働きを十分発揮できない。

【0008】

本発明は、上記の点に鑑みてなされたものであり、プローブ針の高密度形成が可能であり、電源ノイズを低減するためのデカップリングキャパシタをプローブ針の直近に配置可能である、多端子で高速な半導体チップの試験のために好適な

プローブカードを提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

上記課題を解決するため、請求項 1 に記載した発明は、検査対象の半導体チップの電極に各々接触するよう形成された複数のプローブ針と、複数の配線を含む多層配線構造を有し、前記プローブ針を最表面に取付け、各プローブ針を当該配線に接続してあるビルドアップ配線層と、前記半導体チップに対し、前記プローブ針を介して電氣的に接続するよう配設されたキャパシタとを備えるプローブカードにおいて、各プローブ針近傍の前記ビルドアップ配線層の当該配線がインナービアを含む多層配線構造を有し、かつ、前記キャパシタが前記ビルドアップ配線層内の絶縁樹脂層に埋設してあることを特徴とする。多層配線構造は、所謂ビルドアップ工法や、別々に形成した配線層を導電性接着剤などを用いて一括積層する工法などが利用できる。

【 0 0 1 0 】

上記の解決手段において、キャパシタの厚さは、多層配線の絶縁膜一層分の厚さと概略同等か、それ以下であることがプローブカードの設計、製造を容易ならしめるために望ましい。

【 0 0 1 1 】

また、多層配線の絶縁膜一層分の厚さと概略同等か、それ以下である薄膜キャパシタ部品は、例えば、部品の厚さよりも厚いシリコンウェハの一方の面上に、金属酸化物膜が導伝体層に挟まれてなるキャパシタを形成し、その後もう一方の面を背面研磨することで形成できる。このタイプのキャパシタは、電源側電極と接地側電極が同一の面に形成されるため、ビルドアップ工法で埋設する場合に有用である。一方、一括積層工法の場合は、電源側電極と接地側電極が異なる面に形成されたキャパシタが有用である。

【 0 0 1 2 】

また、キャパシタは、プローブ針の直下に埋設されていることが望ましい。異なる電源電圧を利用する L S I の場合、複数の電源線に接続された複数の薄膜キャパシタ部品を埋設することができる。

【 0 0 1 3 】

さらに、上記課題を解決するため、請求項 6 に記載した発明は、薄膜キャパシタを内蔵し、半導体チップと該薄膜キャパシタ間のインピーダンスが所定値に設定してある半導体パッケージに用いる半導体チップに対し、パッケージング前にその電気的特性を試験する半導体チップの試験方法であって、プローブカードとして、前記半導体チップの電極に各々接触するよう配設された複数のプローブ針と、複数の配線を含む多層配線構造を有し、前記複数のプローブ針が最表面に形成され、各プローブ針と当該配線とが接続してあるビルドアップ配線層と、キャパシタとを備え、各プローブ針近傍の前記ビルドアップ配線層の当該配線がインナービアを含む多層配線構造を有し、前記キャパシタを前記ビルドアップ配線層内の絶縁樹脂層に埋設させたプローブカードを、前記半導体チップに接触させ、前記プローブ針を介して電氣的に接続する手順と、前記プローブ針と前記キャパシタの間のインピーダンスを前記半導体パッケージの前記インピーダンスの所定値とほぼ等しい値に予め設定しておく手順とを有することを特徴とする。

【 0 0 1 4 】

キャパシタ部品を内蔵し半導体チップとキャパシタ間のインピーダンスが所定の値 (Z_p) である半導体パッケージに用いる半導体チップに対して、パッケージング前にプローブカードを用いて試験する場合、高速動作性能を検査する上で、かつプローブ針と多層配線構造中に埋設されたキャパシタとの間のインピーダンスを前記半導体パッケージの前記所定値 (Z_p) と略等しい値に設定しておくことが望ましい。上記の L S I チップの試験は、チップのダイシング後であっても、ダイシング前のウェハ状態であっても実施可能である。

【 0 0 1 5 】

上記のような構成のプローブカードによれば、検査対象となる L S I チップとプローブカード側のデカップリングキャパシタを近接して配置することができるので、L S I チップとキャパシタの間のインダクタンスを低減でき L S I チップの高速動作試験が可能となる。また、L S I チップとキャパシタの間のインピーダンスを、実際のパッケージ実装状態に近い値に設定できるので、実使用状態における高速動作性能を試験することができる。

【発明の実施の形態】

以下、本発明の実施の形態を添付の図面を参照しながら具体的に説明する。

【0016】

図5に、本発明のプロブカードの基本的構成を示す。図5に示したように、本発明のプロブカード10は、コア層12と、コア層12上に形成され、複数の配線を含むビルドアップ配線層14と、ビルドアップ配線層14の最表面に取り付けられ、ビルドアップ配線層14の当該配線と各々電氣的に接続させた複数のプローブ針16と、ビルドアップ配線層14内に搭載された薄膜キャパシタ20とから構成される。プローブカード10は、プローブ針16近傍のビルドアップ配線層14の配線がインナービアを含む多層配線構造を有すると共に、薄膜キャパシタ20がビルドアップ配線層14内の絶縁樹脂層中に埋設してあることを特徴とする。上記したプローブカード10によれば、

図1は、検査対象の半導体チップと本発明の一実施例であるプローブカードを示す断面図である。

【0017】

図1のプローブカード10は、ウェハチャック40に載置されたLSIチップ30の電氣的特性の試験を行うウェハプローバ（図示なし）に用いられる。このLSIチップ30は、ウェハ上に多数形成された半導体チップの1つであってもよい。この場合、各半導体チップに形成されている電極にプローブカード10のプローブ針16を接触させ、このプローブ針16を通して試験装置からの信号の入出力、電源電圧の供給を行い、プローブ針16を順次移動させて半導体チップ内の回路の電氣的特性を試験する。

【0018】

この実施例のプローブカード10において、コア層12は、スルーホール部13をエポキシ樹脂で埋めた4層ガラスエポキシ板で形成されている。このコア層12の両側にビルドアップ配線層14が形成されている。

【0019】

ビルドアップ配線層14は、4層の多層配線板で構成されており、各層の厚さは45 μ m程度であり、厚さ30 μ mの薄膜キャパシタ20が、最表面側から数

えて3層目の配線と4層目の配線の間の樹脂絶縁層中に埋め込まれている。薄膜キャパシタ20の接地側と電源側の電極端子は各々接地ライン17と電源ライン18に接続されている。

【0020】

上記実施例のプロブカード10では、薄膜キャパシタ20が1個のみ示されているが、この実施例に限られるものではない。例えば、異なる電源電圧を利用するLSIの場合、複数の電源配線に接続された複数の薄膜キャパシタ20をビルドアップ配線層14内に埋設することができ、各キャパシタを異なる電源電圧の電源配線に接続してもよい。

【0021】

また、図1のプロブカード10においては、複数のプロブ針16が、ビルドアップ配線層14の最表層に露出させた電極の上面にそれぞれ半田付けされている。各プロブ針16の先端部はLSIチップ30の電極パッド32に対して概略垂直に接触するように屈折されている。LSIチップ30の電気的特性を試験する際には、これらプロブ針16をLSIチップ30の各電極パッド32に接触させる。

【0022】

図2に、本発明のプロブカードに用いられる薄膜キャパシタ20の構造を示す。上述のように、本発明の薄膜キャパシタ20は、多端子で高速な半導体チップが高速動作する際に高周波ノイズを低減するデカップリングキャパシタとして機能する。

【0023】

図2に示したように、シリコン基板22上に、BaSrTiO₃等の誘電体材料で形成した誘電体層24を間に挟み込んで形成された上部電極層25及び下部電極層24を有するキャパシタが形成されている。このキャパシタの電極には白金(Pt)が用いられ、シリコン基板22は、キャパシタを形成後、背面22a側が研磨されている。この薄膜キャパシタ20の厚さは、シリコン基板22及び電極端子27、28を含めて30μm以下である。

【0024】

図6は、図2の薄膜キャパシタ20の作製方法を説明するための図である。

【0025】

図6の(a)に示したように、薄膜キャパシタ20の支持基板としてシリコン基板22を用いる。支持基板にシリコンを使用することで、背面研磨による薄型化が容易である。シリコンは20 μ m程度に薄く研磨しても割れにくいいため、本発明に係る薄膜キャパシタ20の支持基板として好適である。

【0026】

図6の(b)、(c)、(d)に示したように、シリコン基板22上に、下部電極層23、誘電体層24、上部電極層25の薄膜を順次成膜する。この実施例では、厚さ0.3mmのSiO₂熱酸化膜が形成されたシリコン基板22を用い、まず、このシリコン基板22上に下部電極材料としてTiO₂(0.05 μ m)/Pt(0.1 μ m)をスパッタリング法により成膜を行う。次に、同一真空系内で、高誘電体材料(Ba、Sr)TiO₃(以下、BSTという)をスパッタリング法により成膜する。さらに、その上に、Pt(0.1 μ m)をスパッタリング法により成膜してある。

【0027】

本発明に係る薄膜キャパシタ20の、誘電体層24を構成する誘電体酸化物として好適な構成材料としては、ストロンチウム(Sr)、バリウム(Ba)、鉛(Pb)、スズ(Zr)、ビスマス(Bi)、タンタル(Ta)、チタン(Ti)、マグネシウム(Mg)、ニオブ(Nb)等の中、少なくとも1つの元素を含む複合酸化物を適用することができる。薄膜キャパシタ20の誘電体層24に好適な誘電体酸化物として、上記実施例の(Ba、Sr)TiO₃の他、例えば、Pb(Zr、Ti)O₃、Pb(Mg、Nb)O₃、SrBi₂Ta₂O₉、Ta₂O₅等を挙げることができる。

【0028】

また、本発明に係る薄膜キャパシタ20において、誘電体層24を間に挟み込んで形成される上部電極層25及び下部電極層23に好適な構成材料として、白金(Pt)、金(Au)、銅(Cu)、鉛(Pb)、ルテニウム(Ru)、ルテニウム酸化物、イリジウム(Ir)、イリジウム酸化物、クロム(Cr)等の中

、少なくとも1つ以上の金属元素又は金属酸化物を含有するものを適用することができる。

【0029】

次に、図6の(e)に示したように、フォトリソグラフィ法により、上部電極層25および誘電体層24の開口部をパターニングする。さらに、Arイオンミリングを使用して、Pt、BSTの一括ドライエッチングを行う。

【0030】

次に、図6の(f)、(g)に示したように、ポリイミド絶縁層26を成膜して、Cr膜0.05 μ m、Cu膜1 μ m、Au膜10 μ mを順次積層して電極端子27、28を形成する。

【0031】

その後、シリコン基板22の背面22aを研磨して、薄膜キャパシタ20のシリコン基板22と電極端子27、28を含む厚さを30 μ mまで薄型化させる。

【0032】

このようにして作製された薄膜キャパシタ20を適用することによって、薄膜キャパシタを内蔵した本発明のプロブカード10を作製することができる。より具体的には、図1に示したように、薄膜キャパシタ20の電極端子27、28とビルドアップ配線層14の配線（接地ライン17や電源ライン18）を接続することにより図1のプロブカード10が完成する。

【0033】

次に、図1のプロブカード10を作製する際に用いられる、ビルドアップ配線層内にキャパシタを埋設するビルドアップ層形成工程の一例について説明する。

【0034】

図3は、ビルドアップ層形成工程における薄膜キャパシタを埋設する形成方法を説明するための図である。図4は、図3に示した薄膜キャパシタを埋設する場合のビルドアップ層形成工程を説明するための図である。

【0035】

ビルドアップ配線層14の多層配線構造は、図4のステップS2～S7を繰り返す。

返し行うことにより各配線層が積み上げられて形成される。

【 0 0 3 6 】

まず、図4のステップS1において、コア層12、もしくは先に形成されたビルドアップ配線層14の絶縁層14-1上の所望の位置に、薄膜キャパシタ20のチップを接着剤で貼り付ける（図3の（a）参照）。ここでは、絶縁層14-1上には、配線層14-1aが先に電解銅めっきにより形成されていると仮定する。

【 0 0 3 7 】

ステップS2において、半硬化状態のエポキシ樹脂フィルムをコア層12、もしくは先に形成されたビルドアップ配線層14の絶縁層14-1上にラミネートする。このとき、薄膜キャパシタ20上に絶縁樹脂層14-2が形成される。

【 0 0 3 8 】

ステップS3において、炭酸ガスレーザ光によって層間接続用のビア孔を形成する（図3の（b）参照）。図3の（b）に示したように、ステップS2で形成された絶縁樹脂層14-2に炭酸ガスレーザを照射して、ビア孔14-2bを形成する。同様に、薄膜キャパシタ20上面の絶縁樹脂層14-2に炭酸ガスレーザを照射して、接地ライン17、電源ライン18を形成するための孔17b、孔18bを形成する。

【 0 0 3 9 】

ステップS4において、絶縁樹脂層14-2の表面に薄い無電解銅（Cu）層（シード層）を形成する。このシード層形成の前に、銅めっきの密着性向上のため、絶縁樹脂層14-2の表面を粗面化しておくといよい。

【 0 0 4 0 】

ステップS5において、絶縁樹脂層14-2全体にレジスト膜を形成後、露光、現像によって配線並びにビア孔部分を除去したパターンを形成する。

【 0 0 4 1 】

ステップS6において、銅（Cu）の電解めっきによって、ビア孔充填ならびに配線を形成する。このとき、図3の（c）に示したように、銅めっきによってインナービア14-2c、接地ライン17及び電源ライン18が形成される。

【0042】

ステップS7において、シード層をエッチングする）。このとき、図3の（c）に示したように、絶縁樹脂層14-2上の配線層14-2aが形成される。

【0043】

さらに、配線層を積み上げる場合には、図4の各ステップS2～S7を同様に繰り返し実施すればよい。このようにして、容易に薄膜キャパシタ20を埋め込んだビルドアップ配線層14を形成することができる。

【0044】

以上に説明したプローブカード10は、デカップリングキャパシタとプローブ針との間のインダクタンスを、キャパシタを基板の背面に搭載する従来の構造に比べて $1/5 \sim 1/10$ に低減することが可能である。この結果、LSIチップを1GHz以上の動作周波数で高速動作試験する場合においても、電源ノイズの発生を抑制することができるため、検査精度を向上させることができる。

【0045】

以上、本発明の実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0046】

たとえば、上記実施例においてインナービアを有する多層配線構造はビルドアップ工法によって形成されているが、一括積層工法で形成することも可能である。また、図3には、電源側電極と接地側電極とが同一面に形成された構造が示されているが、各々の電極が裏表に形成されたキャパシタを用いることも可能である。この場合、キャパシタを貼り付ける際、キャパシタの電極に対応する位置に電源または接地に繋がる配線を形成しておき、導電性接着材などを用いて貼り付けることで電氣的な接続が可能である。

【0047】

（付記1）

検査対象の半導体チップの電極に各々接触するよう形成された複数のプローブ針と、複数の配線を含む多層配線構造を有し、前記プローブ針を最表面に取付け

、各プローブ針を当該配線に接続してあるビルドアップ配線層と、前記半導体チップに対し、前記プローブ針を介して電氣的に接続するよう配設されたキャパシタとを備えるプローブカードにおいて、各プローブ針近傍の前記ビルドアップ配線層の当該配線がインナービアを含む多層配線構造を有し、かつ、前記キャパシタが前記ビルドアップ配線層内の絶縁樹脂層に埋設してあることを特徴とするプローブカード。

【0048】

(付記2)

前記キャパシタは、前記ビルドアップ配線層の1つの絶縁樹脂層の厚さと略等しいか、あるいはそれ以下の厚さを有することを特徴とする付記1記載のプローブカード。

【0049】

(付記3)

前記キャパシタは、支持基板としてシリコン基板を用い、前記シリコン基板の一方の面上に誘電体層を間に挟み込んで形成された上部電極及び下部電極を有する薄膜キャパシタであり、前記シリコン基板の他方の面を研磨して形成したことを特徴とする付記1又は2記載のプローブカード。

【0050】

(付記4)

前記キャパシタは、前記プローブ針直下の前記ビルドアップ配線層内に埋設されていることを特徴とする付記1記載のプローブカード。

【0051】

(付記5)

前記キャパシタは複数個埋設されており、各キャパシタが異なる電圧の電源配線に接続されることを特徴とする付記1乃至4のいずれか一項記載のプローブカード。

【0052】

(付記6)

薄膜キャパシタを内蔵し、半導体チップと該薄膜キャパシタ間のインピーダン

スが所定値に設定してある半導体パッケージに用いる半導体チップに対し、パッケージング前にその電気的特性を試験する半導体チップ試験方法において、プローブカードとして、前記半導体チップの電極に各々接触するよう配設された複数のプローブ針と、複数の配線を含む多層配線構造を有し、前記複数のプローブ針が最表面に形成され、各プローブ針と当該配線とが接続してあるビルドアップ配線層と、キャパシタとを備え、各プローブ針近傍の前記ビルドアップ配線層の当該配線がインナービアを含む多層配線構造を有し、前記キャパシタを前記ビルドアップ配線層内の絶縁樹脂層に埋設させたプローブカードを、前記半導体チップに接触させ、前記プローブ針を介して電気的に接続する手順と、前記プローブ針と前記キャパシタの間のインピーダンスを前記半導体パッケージの前記インピーダンスの所定値とほぼ等しい値に予め設定しておく手順とを有することを特徴とする半導体チップの試験方法。

【 0 0 5 3 】

(付記 7)

前記半導体チップがダイシング前のウェハ状態にあるときに、前記プローブカードを用いて前記半導体チップの電気的特性を試験することを特徴とする付記 6 記載の半導体チップの試験方法。

【 0 0 5 4 】

(付記 8)

前記キャパシタの誘電体層を構成する誘電体酸化物が、S r、B a、P b、Z r、B i、T a、T i、M g、N bの中、少なくとも1つの元素を含む複合酸化物であることを特徴とする付記 1 記載のプローブカード。

【 0 0 5 5 】

(付記 9)

前記キャパシタにおいて、誘電体層を間に挟み込んで形成される上部電極及び下部電極が、P t、A u、C u、P b、R u、R u酸化物、I r、I r酸化物、C rの中、少なくとも1つ以上の金属元素又は金属酸化物を含有することを特徴とする付記 1 記載のプローブカード。

【 0 0 5 6 】

(付記 1 0)

前記キャパシタは、支持基板及び電極端子を含めた厚さが $30\mu\text{m}$ 以下となるよう構成したことを特徴とする付記 1 記載のプローブカード。

【 0 0 5 7 】

(付記 1 1)

前記キャパシタは、支持基板上に誘電体層を間に挟み込んで形成される上部電極及び下部電極を有する薄膜キャパシタであることを特徴とする付記 1 記載のプローブカード。

【発明の効果】

以上説明したように、本発明のプローブカードによれば、検査対象となる L S I チップとプローブカード側のデカップリングキャパシタを近接して配置することができるので、L S I チップとキャパシタ間のインダクタンスを低減でき、L S I チップの高速動作試験が可能となる。また、L S I チップとキャパシタ間のインピーダンスを、実際のパッケージ実装状態に近い値に設定できるので、実使用状態における高速動作性能を試験することができる。さらに、本発明の半導体チップ試験方法による試験は、半導体チップのダイシング後であっても、ダイシング前のウェハ状態であっても実施可能である。

【図面の簡単な説明】

【図 1】

検査対象の半導体チップと本発明の一実施例であるプローブカードを示す断面図である。

【図 2】

本発明のプローブカードに用いられる薄膜キャパシタの構造を示す図である。

【図 3】

ビルドアップ層形成工程における薄膜キャパシタを埋設する形成方法を説明するための図である。

【図 4】

図 3 に示した、薄膜キャパシタを埋設する場合のビルドアップ層形成工程を説明するための図である。

【図 5】

本発明のプロブカードの基本構成を示す図である。

【図 6】

図 2 の薄膜キャパシタの作製方法を説明するための図である。

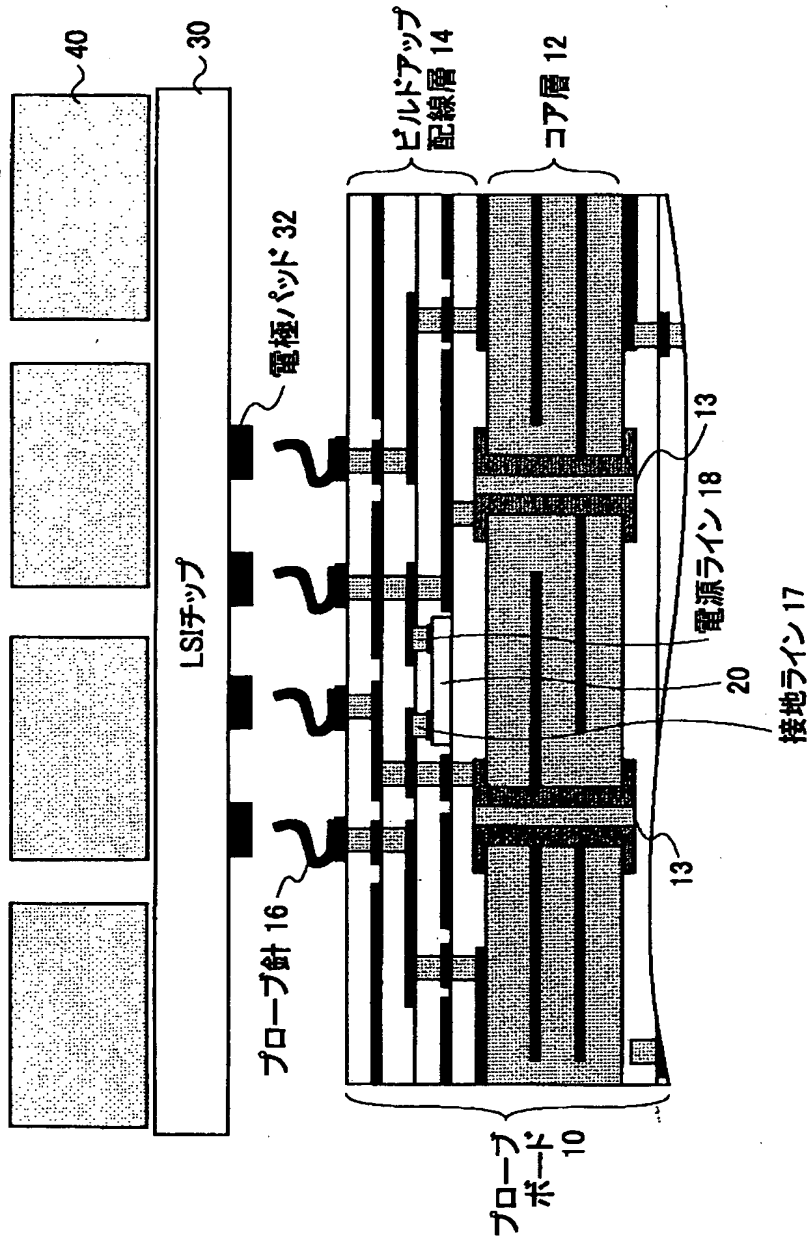
【符号の説明】

- 1 0 プロブカード
- 1 1 支持基板
- 1 2 コア層
- 1 4 ビルドアップ配線層
- 1 6 プロブ針
- 1 7 接地ライン
- 1 8 電源ライン
- 2 0 薄膜キャパシタ
- 2 2 シリコン基板
- 2 2 a 研磨面
- 2 2 電極パッド
- 2 3 下部電極層
- 2 4 誘電体層
- 2 5 上部電極層
- 2 6 ポリイミド絶縁層
- 2 7 接地側電極端子
- 2 8 電源側電極端子
- 3 0 L S I チップ
- 3 2 電極パッド
- 4 0 ウェハチャック

【書類名】 図面

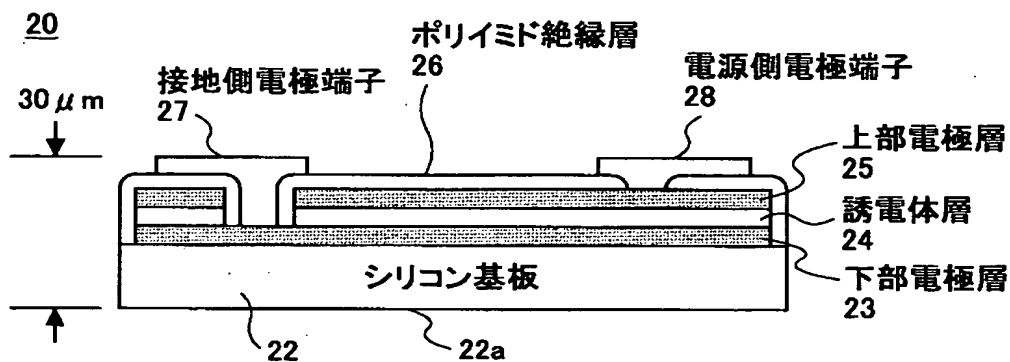
【図 1】

検査対象の半導体チップと本発明の
一実施例であるプローブカードを示す図



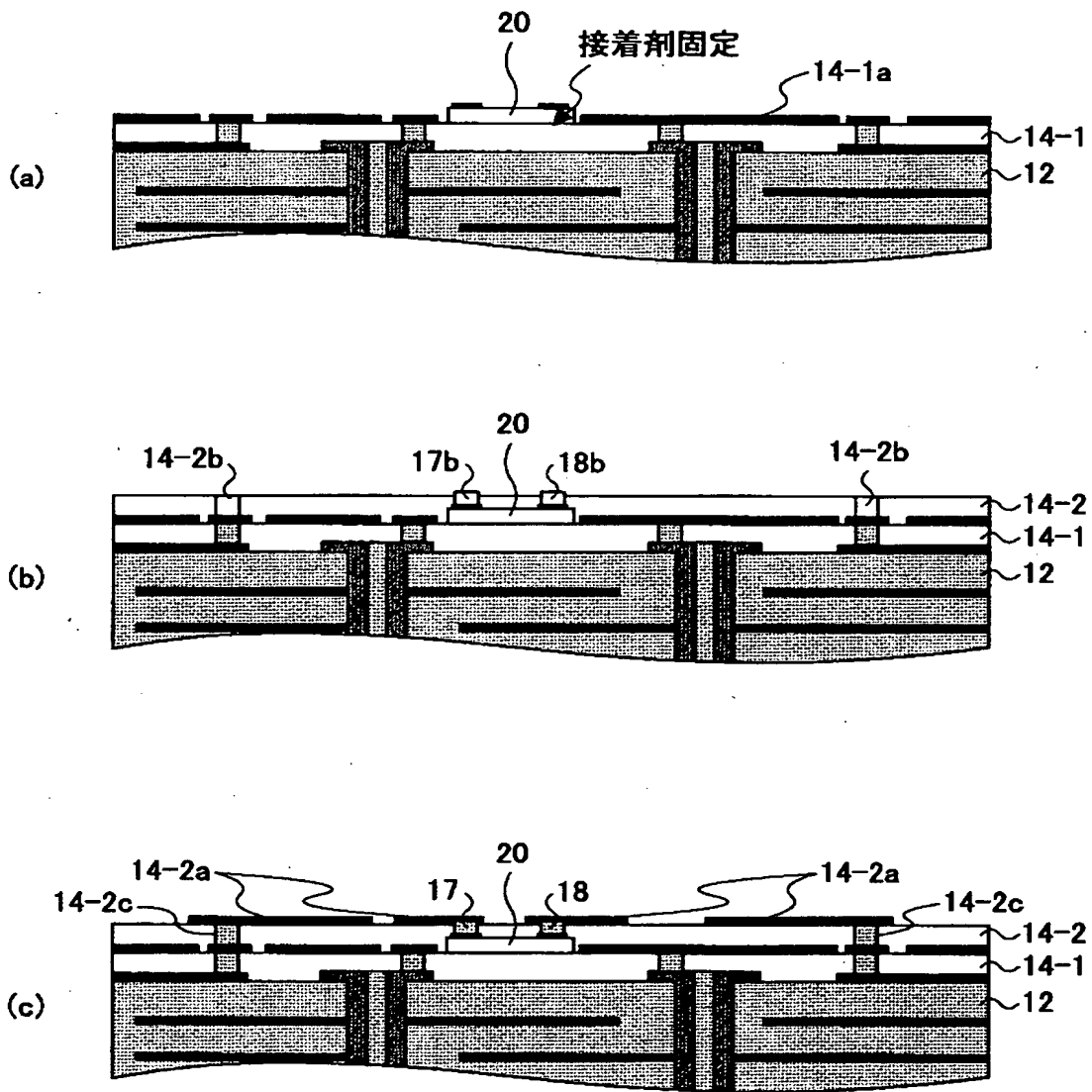
【図 2】

本発明のプローブカードに用いられる
薄膜キャパシタの構造を示す図



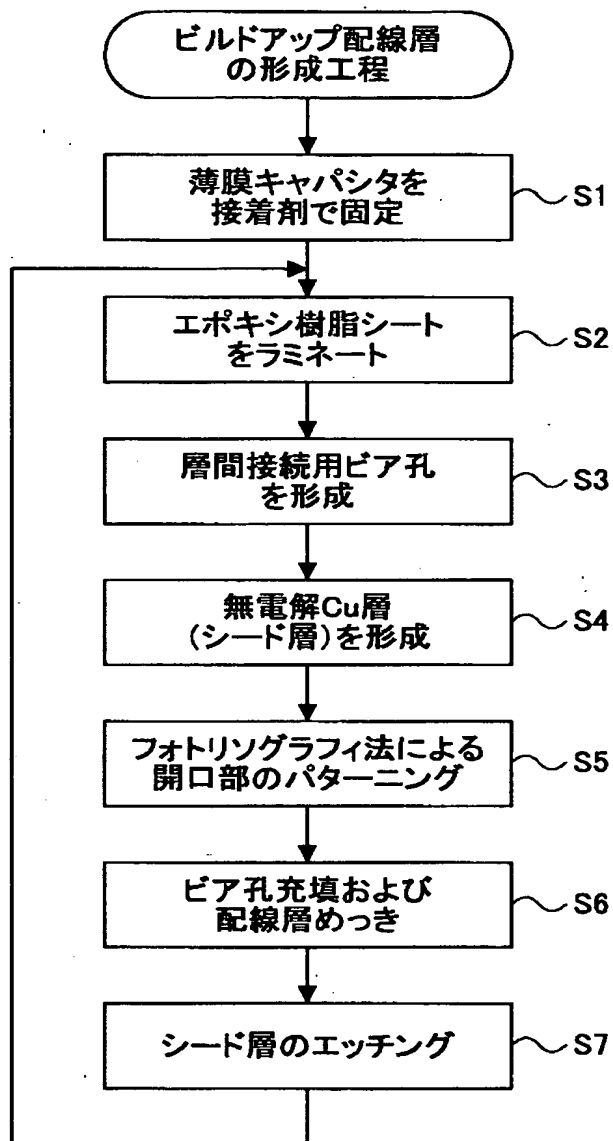
【図3】

ビルドアップ層形成工程における薄膜キャパシタを埋設する形成方法を説明するための図



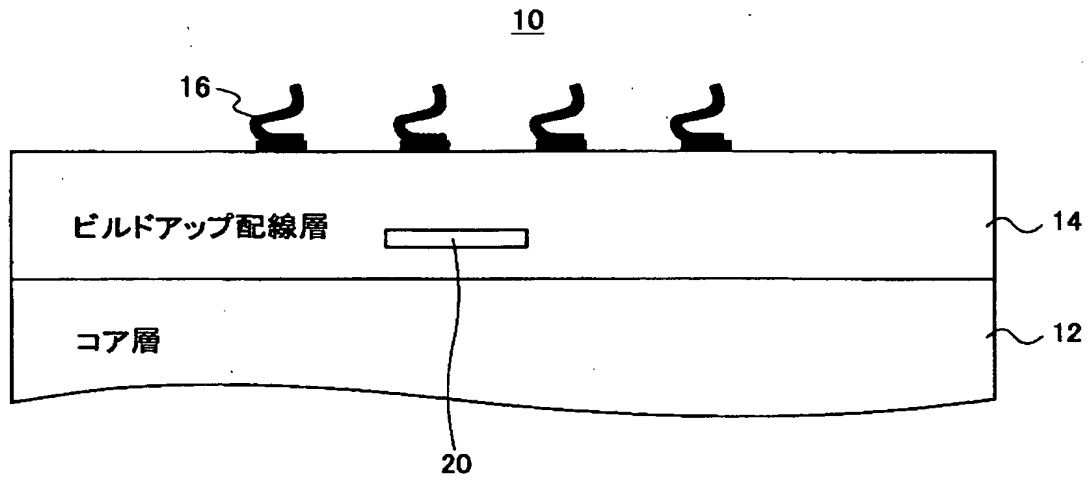
【図 4】

図 3 に示した薄膜キャパシタを埋設する場合の
ビルドアップ層形成工程を説明するための図



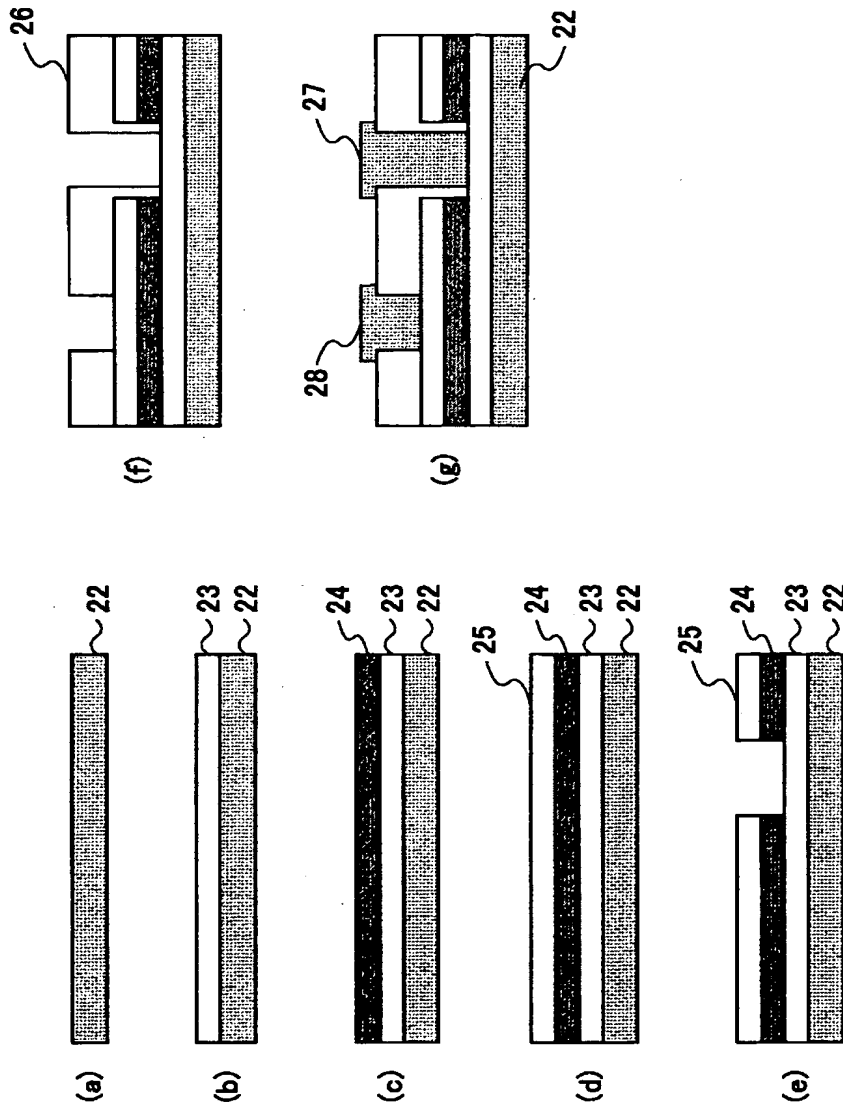
【図5】

本発明のプローブカードの基本構成を示す図



【図6】

図2の薄膜キャパシタの作製方法を説明するための図



【書類名】 要約書

【要約】

【課題】 多端子で高速な半導体チップの試験に必要な、プローブ針を高密度に形成するという要件と、プローブ針の直近に高周波ノイズをカットするためのデカップリングキャパシタを配置するという要件を満足するプローブカードを提供する。

【解決手段】 検査対象の半導体チップ30の電極に各々接触するよう形成された複数のプローブ針16と、複数の配線を含む多層配線構造を有し、前記プローブ針を最表面に取付け、各プローブ針を当該配線に接続してあるビルドアップ配線層14と、半導体チップに対し、前記プローブ針を介して電氣的に接続するよう配設されたキャパシタ20とを備えるプローブカードにおいて、各プローブ針近傍の前記ビルドアップ配線層14の当該配線がインナービアを含む多層配線構造を有し、前記キャパシタ20を前記ビルドアップ配線層内の絶縁樹脂層に埋設して形成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application:	July 23, 2002
Application Number:	No. 2002-214476
[ST.10/C]:	[JP2002-214476]
Applicant(s):	FUJITSU LIMITED

March 25, 2003

Commissioner,
Patent Office

Shinichiro Ota (Seal)

Certificate No. 2003-3020398

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: January 29, 2003

Application Number: No. 2003-020663
[ST.10/C]: [JP2003-020663]

Applicant(s): FUJITSU LIMITED

March 28, 2003

Commissioner,
Patent Office

Shinichiro Ota (Seal)

Certificate No. 2003-3021448

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application:	July 2, 2003
Application Number:	No. 2003-270360
[ST.10/C]:	[JP2003-270360]
Applicant(s):	FUJITSU LIMITED

July 24, 2003

Commissioner,
Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3058725